

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270448

(43)Date of publication of application : 09.10.1998

(51)Int.CI. H01L 21/3205  
H01L 21/28

(21)Application number : 10-111072 (71)Applicant : SEIKO EPSON CORP

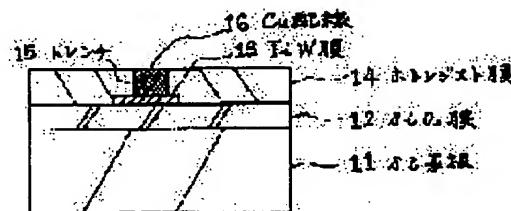
(22)Date of filing : 21.04.1998 (72)Inventor : IWAMATSU SEIICHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To relax the stress originating from at least a side face insulation film by forming trenches into the insulation film, burying electrodes in the trenches and forming the electrodes, using a multi-layer substrate composed of a TiW or TiN alloy layer and Cu or Al film.

**SOLUTION:** An SiO<sub>2</sub> film 12 is formed on the surface of an Si substrate 11, a TiW film 13 is formed by the sputtering, photo etched into a pattern, a photo resist film 14 is formed, exposed and developed to form trenches into the film 13, and a Cu film is buried in the trenches 15 by the plating to form a Cu wiring 16. The film 13 may be a TiN, TiSi, WSi, MoSi or Ti film and wiring 16 may be an Al one, thus avoiding breaking wires due to the stress-migration.



## LEGAL STATUS

[Date of request for examination] 21.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 04.06.1999

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

F-03ED103

(2)

特開平10-270448

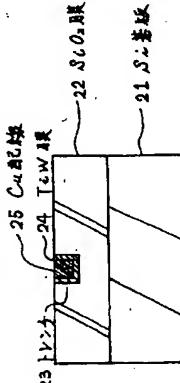
## (19)日本国特許庁 (JP) (12)公開特許公報 (A)

(11)特許出願公開番号  
特開平10-270448

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl. <sup>4</sup>	翻訳正号	P I
H01L 21/3205	301	H01L 21/88 N 21/28 301R 21/88 R
21/28		

審査請求 有 請求項の数2 OL (全3頁)

(71)出願人 00002236  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号(72)発明者 岩松 誠一  
長野県飯綱市大和3丁目3番5号 セイコ  
ーエプソン株式会社内(74)代理人 鈴木 喜三郎 (外2名)  
伊藤 伸士

## (54)【発明の名称】 半導体装置

## (57)【要約】

【解決手段】 半導体装置に用いし、(1)半導体基板表面に形成された絶縁膜にはトレンチを形成し、該トレンチ内に電極を埋め込める手段をとる事を基本とし、(2)前記電極の材料を、TiW、TiN、TiSi、WSi又はMoSi膜等の高融点金属を含む合金層と、Cu又はAl膜と、の多層構造となす手段をとる事である。

【効果】 半導体装置の電極配線が少なくとも側面の絶縁膜から来るストレス・マイグレーションによるストレスを緩和でき、ストレス・マイグレーションによる断線を防止出来、ひいてはエレクトロ・マイグレーションによる断線も発生し易くなると云う課題があつた。

## (5004)【実施例】 本発明はかかる從来技術の課題を解決するため半導体装置における電極配線の新しい構造を提供する事を目的とする。

## (5005)

【課題を解決するための手段】 上記課題を解決するために、本発明は、半導体装置間に開し、(1)半導体基板表面上に形成された絶縁膜にはトレンチを形成し、該トレンチ内に電極を埋め込む手段をとる事とし、(2)前記電極の材料を、TiW、TiN、TiSi、WSi又はMoSi膜等の高融点金属を含む合金層と、Cu又はAl膜と、の多層構造となす手段をとる事である。

【効果】 本発明の半導体装置における配線構造を示す断面図である。

【図3】本発明の半導体装置における配線構造を示す断面図である。

【特許請求の範囲】  
【請求項1】 半導体基板面上に設置され、膜が形成されている絶縁膜と、前記膜の底面および側面に設置された高融点金属を含む合金からなる第1金属性層と、前記第1金属層と電気的に接続し、かつ、前記膜を埋め込むように設置された第2金属性層と、を有する半導体装置であつて、

前記第1金属層と前記第2金属層により金属配線層が構成されることを特徴とする半導体装置。

【請求項2】 前記第2金属層は、鋼またはアルミニウムを含むことを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

【発明の技術分野】 本発明は半導体における電極配線構造に関するものである。尚TiW膜3はTiN、TiSi、WSi、MoSi又はTi膜であつても良く、Cu配線16はAlでS1又はTi膜であつても良く、Cu配線16はAlでS1又はTi膜であつても良く、ホトレジスト膜14はSiO<sub>2</sub>膜でS13膜あるいはボリイミド膜等他の有機膜をホトリソグラフィーや、ホト・エッチングで形成したものであつても良い。

【0008】 図3は本発明のその他の実施例を示す半導体装置の断面図である。すなわち、S1基板21の表面にはS1O<sub>2</sub>膜が形成され、該S1O<sub>2</sub>膜22に、はホト・エッチングによりトレンチ23が形成され、次いでスパッタ法等によりTiW膜とCu膜が形成後、エッチング法により、トレンチ13内にTiW膜24とCu配線25から成る電極配線を形成したものである。

【0009】 【発明の効果】 本発明により、半導体装置の電極配線が少なくとも側面の絶縁膜から来るストレスを緩和でき、ストレス・マイグレーションによる断線を防止出来、ひいてはエレクトロ・マイグレーションによる断線による効果がある。

## 【図面の簡単な説明】

## 【図1】 本発明の半導体装置における配線構造を示す断面図である。

## 【図2】 本発明の半導体装置における配線構造を示す断面図である。

## 【図3】 本発明の半導体装置における配線構造を示す断面図である。

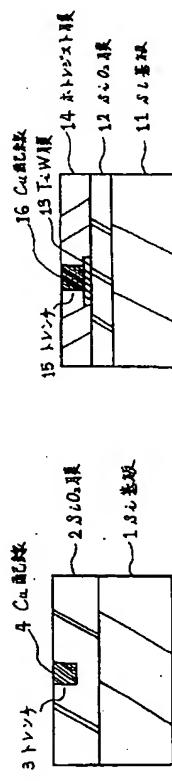
## 【符号の説明】

1、11、21…S1基板  
2、12、22…S1O<sub>2</sub>膜  
3、15、13…トレンチ  
4、16、25…Cu配線  
13、24…TiW膜  
14…ホトレジスト膜

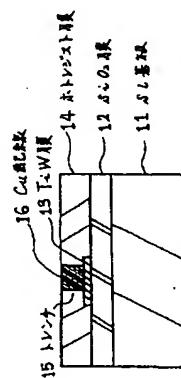
(3)

特開平10-270448

[図1]



[図2]



[図3]

